

# 대한민국 특허청

## KOREAN INTELLECTUAL PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원번호 : 10-2002-0078388  
Application Number

출원년월일 : 2002년 12월 10일  
Date of Application DEC 10, 2002

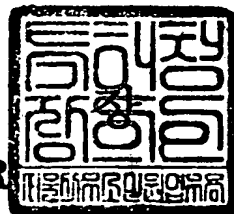
출원인 : 삼성전자주식회사  
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003      년      06      월      02      일

특      허      청

COMMISSIONER



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0026
【제출일자】	2002. 12. 10
【국제특허분류】	H01L
【발명의 명칭】	스토리지 전극과의 접촉 면적을 보다 확보하기 위해서 비트 라인 방향으로 확장된 콘택체를 포함하는 반도체 소자 제조 방법
【발명의 영문명칭】	Method for manufacturing semiconductor device including contact body expanded along bit line direction to obtain more contacting area with storage node
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	1999-009556-9
【대리인】	
【성명】	정상빈
【대리인코드】	9-1998-000541-1
【포괄위임등록번호】	1999-009617-5
【발명자】	
【성명의 국문표기】	박창민
【성명의 영문표기】	PARK, Chang Min
【주민등록번호】	731121-1916918
【우편번호】	151-050
【주소】	서울특별시 관악구 봉천동 635-19
【국적】	KR
【발명자】	
【성명의 국문표기】	이중현
【성명의 영문표기】	LEE, Jung Hyeon
【주민등록번호】	630827-1069611

【우편번호】	442-470
【주소】	경기도 수원시 팔달구 영통동 건영아파트 423-704
【국적】	KR
【발명자】	
【성명의 국문표기】	조한구
【성명의 영문표기】	CHO, Han Ku
【주민등록번호】	580905-1047414
【우편번호】	463-020
【주소】	경기도 성남시 분당구 수내동 52 파크타운 113-705
【국적】	KR
【발명자】	
【성명의 국문표기】	박준수
【성명의 영문표기】	PARK, Joon Soo
【주민등록번호】	670818-1162214
【우편번호】	427-040
【주소】	경기도 과천시 별양동 주공아파트 407-107
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 이영필 (인) 대리인 정상빈 (인)
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	24 면 24,000 원
【우선권주장료】	0 건 0 원
【심사청구료】	20 항 749,000 원
【합계】	802,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통

## 【요약서】

## 【요약】

스토리지 전극(storage node)과의 접촉 면적을 보다 확보하기 위해서 비트 라인(bit line) 방향으로 확장된 콘택체(contact body)를 포함하는 반도체 소자 제조 방법을 제공한다. 본 발명의 일 관점에 의한 제조 방법은, 반도체 기판 상에 게이트 라인(gate line)들 및 제1절연층을 형성하고, 제1절연층을 관통하여 반도체 기판 상에 전기적으로 연결되는 제1콘택 패드(first contact pad)들 및 제2콘택 패드들을 형성한다. 제1콘택 패드들 및 상기 제2콘택 패드들을 덮는 제2절연층을 형성하고, 제2절연층 상에 게이트 라인들 상을 가로지르고 제2절연층을 관통하여 제2콘택 패드들에 각각 전기적으로 연결되는 비트 라인들을 형성한다. 비트 라인들을 덮는 제3절연층을 형성한다. 제3절연층을 선택적으로 식각하여 비트 라인들을 가로지르고 적어도 제1콘택 패드들을 노출하는 밴드(band) 형태의 오프닝(opening)을 형성한다. 제3절연층 상에 오프닝을 채우는 도전층을 형성하고, 도전층을 패터닝하여 비트 라인 방향으로 제3절연층 상으로 확장된 확장부와 제1콘택 패드에 전기적으로 연결되는 몸체부를 일체로 포함하는 개개의 스토리지 전극 콘택체들로 분리한다. 개개의 스토리지 전극 콘택체들 상에 실린더(cylinder) 형태의 스토리지 전극들을 각각 형성한다.

## 【대표도】

도 9a

**【명세서】****【발명의 명칭】**

스토리지 전극과의 접촉 면적을 보다 확보하기 위해서 비트 라인 방향으로 확장된 콘택체를 포함하는 반도체 소자 제조 방법{Method for manufacturing semiconductor device including contact body expanded along bit line direction to obtain more contacting area with storage node}

**【도면의 간단한 설명】**

도 1은 종래의 스토리지 전극을 포함하는 반도체 소자를 설명하기 위해서 개략적으로 도시한 평면도이다.

도 2a 및 도 2b 내지 도 9a 및 도 9b, 및 도 10a 내지 도 10c들은 본 발명의 실시예에 의한 스토리지 전극과의 접촉 면적을 보다 확보하기 위해서 비트 라인 방향으로 확장된 콘택체를 포함하는 반도체 소자 제조 방법을 설명하기 위해서 개략적으로 도시한 도면들이다.

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<3> 본 발명은 반도체 소자에 관한 것으로, 특히, 커패시터(capacitor)의 스토리지 전극(storage node)과의 접촉 면적을 보다 확보하기 위해서 비트 라인(bit line) 방향으로 확장된 스토리지 전극 콘택체(contact body)를 포함하는 반도체 소자를 제조하는 방법에 관한 것이다.

- <4> 반도체 소자 제조 기술이 발달함에 따라 트랜지스터(transistor)의 크기는 작아지고 반도체 소자의 집적도는 급격히 증가하여 왔다. 특히, 메모리(memory) 반도체 소자인 디램(DRAM)의 경우 반도체 제조 공정들이 발달함에 따라, 그 집적도도 증가하여 현재 1기가 비트 디램(1 giga bit DRAM)까지 양산 가능성이 확인되고 있다.
- <5> 디램의 경우 하나의 트랜지스터 하나의 셀(cell) 형태의 구조가 주종을 이루어 왔으며, 셀 커패시터(cell capacitor) 형성 방법에 따라 스택형 또는 트랜치형의 셀 형태로 분류되고 있다. 스택형 셀 형태의 디램에서는 디자인 룰(design rule)의 감소에 따라 작은 면적에서 요구되는 셀 커패시턴스(cell capacitance)를 얻기 위하여, 커패시터의 스토리지 전극의 높이를 증가시키거나, 반구형 입자(HSG:Hemi-Spherical Grain)를 이용하여 유효 표면적을 증가시키거나, 하나의 실린더 형태의 스토리지 전극(OCS:One Cylinder Storage) 형태의 커패시터를 사용하여 실린더 안, 밖의 면적을 사용하는 방법 등이 주로 개발되어 왔다. 특히, OCS 형태의 커패시터 공정은 향후 디자인 룰의 감소에 대응하여 가장 용이하게 확대 적용될 수 있는 공정으로 평가되고 있다.
- <6> 그런데, OCS 형태의 커패시터는 디자인 룰의 감소에 따라 실린더 형태의 커패시터 전극이 옆으로 쓰러지는 불량, 예컨대, 투 비트 불량(two bit fail)을 유발할 가능성이 높은 것으로 평가되고 있다. 이는 스토리지 전극들의 평면 배치에서 스토리지 전극들 간의 이격 간격이 디자인 룰의 감소에 따라 매우 급격히 감소된 데 따라 발생하는 것으로 인식되고 있다.
- <7> 도 1은 종래의 스토리지 전극을 포함하는 반도체 소자를 설명하기 위해서 개략적으로 도시한 평면도이다.

<8> 도 1을 참조하면, 종래의 OCS 형태로 커패시터의 스토리지 전극(50)들은 비트 라인(bit line:30)이 종주하는 방향 및 워드 라인(word line), 즉, 게이트 라인(gate line:20)이 종주하는 방향을 따라 스토리지 전극(50)들 상호 간에 직교하게 배치된다. 이러한 실린더(cylinder) 형태의 스토리지 전극(50)은, 평면에서 볼 때, 어느 일 방향, 예컨대, 비트 라인(30)이 종주하는 방향으로 길게 확장된 장축을 가지는 직사각형 형태로 형성되며, 비트 라인(30)이 종주하는 방향을 따라 이웃하게 배치된다. 이때, 평면 상의 직사각형 형태의 모서리는 공정에 따라 둥근 형태로 형성될 수도 있다. 또한, 스토리지 전극(50)은 게이트 라인(20)이 종주하는 방향으로 직사각형 형태의 단축이 정렬되게 형성되며, 게이트 라인(20)이 종주하는 방향을 따라 이웃하게 배치된다.

<9> 디자인 룰이  $0.1\mu\text{m}$ 의 디램의 경우를 가정하여 단면의 크기를 예측하면, 직사각형의 장축 방향의 크기는 대략 300nm가 되며, 단축 방향의 폭은 대략 120nm가 되게 된다. 이러한 스토리지 전극(50)의 배치에서 스토리지 전극(50)들 간의 이격 거리는 대략 80nm 정도의 좁은 거리에 불과하게 된다. 이때, 디램에 요구되는 커패시턴스를 충족하기 위한 스토리지 전극(50)의 실린더의 높이는 대략 1500nm에 달하게 된다.

<10> 따라서, 실린더 형태의 스토리지 전극(50)의 높이/폭의 비율은 12 이상으로 좁은 폭에 큰 높이를 가지는 형태를 갖게 된다. 이에 따라, 실린더 형태의 스토리지 전극(50)이 옆으로 쓰러질 가능성이 매우 높게 된다. 스토리지 전극(50)이 기울어지거나 쓰러질 경우, 이웃하는 스토리지 전극(50)과의 이격 거리가 80nm로 매우 협소하기 때문에, 스토리지 전극(50)들이 서로 맞닿을 수 있게 된다. 이와 같이 스토리지 전극(50)들 맞닿게 되면, 소위, 투 비트 불량(two bit fail)이 유발되게 된다. 이러한 스토리지 전극(50)이

쓰러지는 불량률의 발생 가능성은 디램의 디자인 룰이 0.1nm 이하로 줄어들게 되면 더욱 극심해질 것으로 예상된다.

<11> 이와 같은 스토리지 전극(50)이 쓰러지는 현상은 도 1에 묘사된 바와 같이 스토리지 전극(50)들의 배치 형태에 크게 의존하는 현상으로 인식되고 있다. 따라서, 스토리지 전극(50)들의 배치 형태를 바꿔 스토리지 전극(50)들 간의 폭을 보다 더 확보하고자하는 시도가 제기되고 있다.

<12> 그런데, 도 1에 제시된 바와 같은 평면 상의 스토리지 전극(50)들의 배치에서는, 스토리지 전극(50)을 하부의 반도체 기판의 소자 분리 영역(15)에 의해서 설정되는 활성 영역(11)에 전기적으로 연결하기 위한 콘택체들에 자연스럽게 정렬될 수 있으나, 스토리지 전극(50)들의 배치를 새로이 바꿀 경우 스토리지 전극(50)을 반도체 기판의 활성 영역(11)에 전기적으로 연결하는 연결 콘택체들이 자연스럽게 정렬되지 못하게 된다. 즉, 도 1에 제시된 바와 같이, 종래의 경우, 스토리지 전극(50)과, 하부의 반도체 기판의 활성 영역(11) 상에 도입되는 도전성 매몰 콘택 패드(buried contact pad:41)가, 평면 상에서 볼 때, 자연스럽게 중첩되게 되나, 스토리지 전극(50)의 배열 위치를 바꿀 경우, 스토리지 전극(50)이 도전성 매몰 콘택 패드(41)로부터, 평면 상에서 볼 때, 어긋나게 된다.

<13> 현재의 스토리지 전극(50)은 반도체 기판의 활성 영역(11) 상에 도입되는 매몰 콘택 패드(41)와 그 상에 도입되는 스토리지 전극 콘택체(도시되지 않음), 예컨대, 매몰 콘택에 의해서 활성 영역(11)으로 전기적으로 연결되게 된다. 도 1에 묘사된 바와 같이 스토리지 전극(50)의 중심이 매몰 콘택 패드(41)의 중심과 일치할 경우에는 스토리지 전극 콘택체가 스토리지 전극(50)과 매몰 콘택 패드(41) 사이에 그 중심이 매몰 콘택



패드(41)의 중심과 일치하게 자연스럽게 형성될 수 있다. 그런데, 상기한 바와 같이 스토리지 전극(50)의 중심이 매몰 콘택 패드(41)의 중심과 매우 크게 어긋나게 되는 것을 회피하기 어려우면, 결국, 스토리지 전극(50)의 중심과 스토리지 전극 콘택체의 중심이 일치하기 어려워진다. 이에 따라, 스토리지 전극(50)과 스토리지 전극 콘택체 간의 접촉면적이 매우 줄어들게 되어, 접촉 저항의 증가에 따른 불량 발생하게 된다.

<14> 이에 따라, 도전성 매몰 콘택 패드(41)와 스토리지 전극(50) 사이에 도입되어 이들을 전기적으로 연결하여 줄 스토리지 전극 콘택체(도시되지 않음), 예컨대, 매몰 콘택을 새로운 구조로 도입해야 하는 문제가 발생하게 된다. 더욱이, 도전성 매몰 콘택 패드(41)의 주위에는 도전성 매몰 콘택 패드(41)에 이격되고 반도체 기판의 활성 영역(11)과 비트 라인(30)을 전기적으로 연결하는 중간 매체로 이용될 도전성 다이렉트 콘택 패드(direct contact pad:45)가 존재하고 있다. 이에 따라, 도전성 매몰 콘택 패드(41)와 스토리지 전극(50) 사이에 도입될 새로운 구조의 스토리지 전극 콘택체, 즉, 매몰 콘택은 이러한 다이렉트 콘택 패드(45)와 충분히 이격되어야 한다. 따라서, 새로운 구조의 스토리지 전극 콘택체, 즉, 매몰 콘택을 새로운 배열로 배치된 스토리지 전극에 정렬되게 확장된 폭으로 도입하기는 매우 어렵다.

<15> 따라서, OCS 형태의 스토리지 전극(50)들 간의 쓰러짐을 방지하기 위해서 스토리지 전극(50)의 평면상의 형태, 즉, 단면 형태를 변형하거나 또는 그 상호 간의 배열 위치를 변화시키려는 시도는, 스토리지 전극(50)과 하부의 반도체 기판의 활성 영역(11)간의 원활한 전기적인 연결을 구현할 수 있는 새로운 스토리지 전극 콘택체들의 구조를 구현하는 문제를 먼저 해결해야 가능하게 된다. 또한, 이러한 새로운 스토리지 전극 콘택체들을 구현하고자할 때, 층들간의 오정렬 마진(misalign margin), 오버레이 마진

(overlay margin)을 우선적으로 충분히 고려하여야 하며, 또한, 디자인 룰의 감소에 따른 사진 공정의 해상도 한계를 충분히 고려하여야 공정 상 실현 가능성을 확보할 수 있다.

**【발명이 이루고자 하는 기술적 과제】**

<16> 본 발명이 이루고자 하는 기술적 과제는, 스토리지 전극을 반도체 기판 상에 연결시키는 전기적인 연결 구조를 구성하는 요소들의 오정렬 마진, 오버레이 마진 또는 공정 마진을 보다 더 넓게 확보할 수 있는 스토리지 전극과의 접촉 면적을 보다 확보하기 위해서 비트 라인 방향으로 확장된 콘택체를 포함하는 반도체 소자를 제조하는 방법을 제공하는 데 있다.

**【발명의 구성 및 작용】**

<17> 상기의 기술적 과제들을 달성하기 위한 본 발명의 일 관점은, 스토리지 전극들이 비트 라인 또는 게이트 라인이 종주하는 방향에 대해서 사선 방향으로 배치될 때, 이러한 스토리지 전극과의 접촉 면적을 충분히 확보하기 위해서, 비트 라인 방향으로 확장된 콘택체를 포함하는 반도체 소자를 제조하는 방법을 제공한다.

<18> 상기 반도체 소자 제조 방법은 반도체 기판 상에 게이트 라인들을 형성하는 단계와, 상기 게이트 라인들을 덮는 제1절연층을 형성하는 단계와, 상기 제1절연층을 관통하여 상기 게이트 라인들 사이의 상기 반도체 기판 상에 전기적으로 연결되는 제1콘택 패드들 및 제2콘택 패드들을 형성하는 단계와, 상기 제1콘택 패드들 및 상기 제2콘택 패드들을 덮는 제2절연층을 형성하는 단계와, 상기 제2절연층 상에 상기 게이트 라인들 상을 가로지르고 상기 제2절연층을 관통하여 상기 제2콘택 패드들에 각각 전기적으로 연결되는 비

트 라인들을 형성하는 단계와, 상기 비트 라인들을 덮는 제3절연층을 형성하는 단계와, 상기 제3절연층을 선택적으로 식각하여 상기 비트 라인들을 가로지고 적어도 상기 제1콘택 패드들을 노출하는 밴드(band) 형태의 오프닝(opening)을 형성하는 단계와, 상기 제3절연층 상에 상기 오프닝을 채우는 도전층을 형성하는 단계와, 상기 도전층을 패터닝하여 상기 비트 라인 방향으로 상기 제3절연층 상으로 확장된 확장부와 상기 제1콘택 패드에 전기적으로 연결되는 몸체부를 일체로 포함하는 개개의 스토리지 전극 콘택체들로 분리하는 단계, 및 상기 개개의 스토리지 전극 콘택체들 상에 스토리지 전극들을 각각 형성하는 단계를 포함하여 구성될 수 있다.

<19> 여기서, 상기 제1콘택 패드들을 상기 게이트 라인들 사이에 상기 게이트 라인이 종주하는 방향으로 배열되도록 형성되고, 상기 제2콘택 패드들은 상기 게이트 라인들 사이에 두고 상기 제1콘택 패드들과 이격되게 배치되도록 형성될 수 있다.

<20> 상기 밴드 형태의 오프닝은 상기 게이트 라인이 종주하는 방향으로 길게 연장되도록 형성될 수 있다. 또한, 상기 밴드 형태의 오프닝은 상기 제1절연층의 상기 게이트 라인들 사이를 덮는 부분을 노출하도록 형성될 수 있다. 이때, 상기 밴드 형태의 오프닝은 적어도 상기 제1콘택 패드의 폭 보다 넓은 폭을 가지도록 형성될 수 있다. 상기 밴드 형태의 오프닝은 상기 제2절연층이 상기 제2콘택 패드를 사이에 두는 두 게이트 라인들의 일부를 덮은 상태를 유지하도록 허용하는 폭으로 형성될 수 있다.

<21> 상기 밴드 형태의 오프닝을 형성하는 단계는 상기 제3절연층 상에 상기 제3절연층의 상기 제1콘택 패드들 상에 증착되는 덮는 부분을 길게 노출하는 밴드 형태의 제1포토리소그래피 패턴을 형성하는 단계, 및 상기 제1포토리소그래피 패턴을 식각 마스크로 상기 노출되는 제2절연층 부분을 선택적으로 식각하는 단계를 포함하여 구성될 수 있다.

- <22> 또한, 상기 반도체 소자 제조 방법은 상기 비트 라인이 상기 밴드 형태의 오프닝을 형성하는 식각에 의해서 침해되는 것을 방지하기 위해서, 상기 비트 라인의 상측을 덮는 캐핑 절연층을 형성하는 단계 및 상기 비트 라인의 측벽을 덮는 스페이서를 형성하는 단계를 더 포함하여 구성될 수 있다.
- <23> 상기 도전층을 패터닝하는 단계는 상기 캐핑 절연층의 상측 표면을 식각 종료점으로 이용하여 수행될 수 있다. 이때, 상기 도전층은 도전성 폴리 실리콘층을 포함하여 형성될 수 있다.
- <24> 상기 스토리지 전극 콘택체의 확장부는 평면 상에서 볼 때 상기 비트 라인을 사이에 두고 이격되는 이웃하는 스토리지 전극 콘택체의 확장부와 반대 방향으로 확장되도록 형성될 수 있다. 상기 스토리지 전극 콘택체의 확장부는 적어도 상기 비트 라인이 종주하는 방향으로의 폭이 상기 몸체부에 비해 넓도록 형성될 수 있다. 또한, 상기 스토리지 전극 콘택체의 확장부는 적어도 상기 비트 라인이 종주하는 방향으로의 폭이 상기 게이트 라인이 종주하는 방향으로의 폭에 비해 상대적으로 길게 확장되도록 형성될 수 있다.
- <25> 상기 도전층을 패터닝하는 단계는 상기 도전층 상에 상기 도전층의 상기 비트 라인 상에 중첩되는 부분 및 상기 제2콘택 패드들이 위치하는 상기 게이트 라인들 사이에 중첩되는 부분을 일부 노출하는 제2포토리소그래피 패턴을 형성하는 단계, 및 상기 제2포토리소그래피 패턴을 식각 마스크로 노출되는 상기 도전층 부분을 식각하는 단계를 포함하여 수행될 수 있다.
- <26> 상기 스토리지 전극들은 최근하게 이웃하는 스토리지 전극이 상기 비트 라인을 사이에 두고 상기 비트 라인이 종주하는 방향에 대해서 사선 방향에 위치하게 배열되도록

형성될 수 있다. 상기 스토리지 전극들은 상기 비트 라인 또는 상기 게이트 라인이 종주하는 방향에 대해서 사선 방향으로 이웃하는 스토리지 전극이 위치하게 배열되도록 형성될 수 있다. 이때, 상기 스토리지 전극들은 실린더 형태의 3차원 형상으로 형성될 수 있으며, 상기 스토리지 전극들은 원형, 타원형 또는 직사각형의 면적을 차지하도록 형성될 수 있다.

<27> 본 발명에 따르면, 스토리지 전극을 반도체 기판 상에 연결시키는 전기적인 연결 구조를 구성하는 요소들의 오정렬 마진, 오버레이 마진 또는 공정 마진을 보다 더 넓게 확보할 수 있는 스토리지 전극과의 접촉 면적을 보다 확보하기 위해서 비트 라인 방향으로 확장된 콘택체를 형성하는 방법을 제공할 수 있다.

<28> 이하, 첨부 도면을 참조하여 본 발명의 실시예를 상세히 설명한다. 그러나, 본 발명의 실시예들은 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 아래에서 상술하는 실시예들로 인해 한정되어지는 것으로 해석되어져서는 안된다. 본 발명의 실시예들은 당업계에서 평균적인 지식을 가진 자에게 본 발명을 보다 완전하게 설명하기 위해서 제공되어지는 것이다. 따라서, 도면에서의 요소의 형상 등은 보다 명확한 설명을 강조하기 위해서 과장되어진 것이며, 도면 상에서 동일한 부호로 표시된 요소는 동일한 요소를 의미한다. 또한, 어떤 층이 다른 층 또는 반도체 기판의 "상"에 있다라고 기재되는 경우에, 상기 어떤 층은 상기 다른 층 또는 반도체 기판에 직접 접촉하여 존재할 수 있고, 또는, 그 사이에 제3의 층이 개재되어질 수 있다.

<29> 본 발명의 실시예에서는 커패시터의 스토리지 전극을 반도체 기판 상에 전기적으로 연결시키는 연결 구조를, 매몰 콘택, 즉, 스토리지 전극 콘택체와 매몰 콘택 패드를 도입하여 구성하는 바를 제시한다. 이때, 스토리지 전극들이 비트 라인 또는 워드 라인인

게이트 라인들이 종주하는 방향에 대해서 사선 방향으로 배열되더라도, 스토리지 전극과 스토리지 전극 콘택체가 접촉하는 면적이 충분히 제공될 수 있도록, 스토리지 전극 콘택체가 적어도 비트 라인이 종주하는 방향으로 확장된 부분을 가지는 바를 제시한다.

<30> 또한, 본 발명의 실시예에서는 이와 같은 스토리지 전극 콘택체에 형상을 부여하기 위한 오프닝(opening)을 게이트 라인들이 종주하는 방향으로 밴드(band) 형태로 구현하고, 이러한 밴드 형태의 오프닝을 메우는 도전층을 증착한 후, 이러한 도전층을 개개의 스토리지 전극 콘택체들로 분리하는 사진 식각 공정을 도입하는 바를 제시한다. 밴드 형태의 오프닝을 도입함으로써, 이러한 오프닝을 형성하기 위한 사진 공정의 공정 마진 또는 해상도를 보다 완화된 조건으로 수행할 수 있는 장점을 구현할 수 있다. 또한, 개개의 스토리지 전극 콘택체들로 분리하는 사진 식각 공정을 도입함으로써, 개개의 스토리지 전극 콘택체들의 상부 표면이 보다 확장된 면적을 가지도록 유도할 수 있는 장점을 본 발명의 실시예는 제공한다.

<31> 이와 같이 본 발명의 실시예는 스토리지 전극 콘택체들이 비트 라인이 종주하는 방향으로 보다 확장된 상측 표면을 제공함으로써, 스토리지 전극들이 비트 라인 또는 게이트 라인들이 종주하는 방향들에 대해서 사선 방향 또는 대각선 방향으로 상호간에 배열될 때, 스토리지 전극 콘택체들이 스토리지 전극들과 충분한 접촉 면적을 제공할 수 있다. 따라서, 스토리지 전극들이 평면 상에서 볼 때 새로운 배열로 배치되는 것이 가능하며, 스토리지 전극들 간의 이격 간격을 보다 넓게 확보하는 것이 가능하고, 스토리지 전극들이 쓰러져 서로 맞닿아 발생하는 불량들을 효과적으로 방지할 수 있다.

<32> 이와 같은 본 발명의 실시예는 첨부 도면들을 참조하여 보다 구체적으로 설명한다.

- <33> 도 2a 및 도 2b 내지 도 9a 및 도 9b, 및 도 10a 내지 도 10c들은 본 발명의 실시예에 의한 스토리지 전극과의 접촉 면적을 보다 확보하기 위해서 비트 라인 방향으로 확장된 콘택체를 포함하는 반도체 소자 제조 방법을 설명하기 위해서 개략적으로 도시한 도면들이다.
- <34> 도 2a는 반도체 기판 상에 활성 영역(110)이 설정된 상태를 개략적으로 보여주는 평면도이다. 도 2b는 반도체 기판(100) 상에 활성 영역(110)이 설정된 도 2a의 상태를 개략적으로 보여주는 활성 영역(110)의 장축 방향으로의 단면도이다.
- <35> 도 2a 및 도 2b를 참조하면, 바람직하게 실리콘의 반도체 기판(100)에 트렌치 소자 분리(trench isolation) 등과 같은 소자 분리 과정을 수행하여, 활성 영역(110)을 설정하는 소자 분리 영역(150)을 형성한다. 이때, 트렌치는 소자의 디자인 룰에 따라 달라지나 대략 2500Å 내지 3000Å 정도의 깊이로 형성될 수 있다. 소자 분리 영역(150)은 소자에 따라 다른 형태의 활성 영역(110)을 설정할 수 있으나, 도 2a에 제시된 바와 같이 "T"자 형태로 활성 영역(110)을 설정하도록 형성될 수 있다.
- <36> 이후에, 반도체 기판(100)에 웰(well:도시되지 않음) 및 트랜지스터(transistor)의 채널(channel) 등을 형성하기 위한 사진(photo) 공정과 이온 주입 공정들을 진행할 수 있다.
- <37> 도 3a 및 도 3b는 각각 반도체 기판(100) 상에 게이트 라인이 형성된 상태를 개략적으로 보여주는 평면도 및 단면도이다.
- <38> 도 3a 및 도 3b를 참조하면, 활성 영역(110)을 가로지르는 라인(line) 형태로 게이트 패턴(200)들을 다수 형성한다. 구체적으로, 활성 영역(110) 상에 존재하는 이온 주입

과정 등에 수반된 산화층(도시되지 않음) 등을 습식 식각 등으로 제거한 후, 활성 영역(110)에 열산화층을 대략 40Å 내지 60Å 정도 두께로 성장시켜 게이트 산화층(210)을 형성한다. 이러한 게이트 산화층(210)은 구현하고자하는 소자의 특성에 따라 그 두께가 변화될 수 있다.

<39> 이후에, 게이트 산화층(210) 상에 게이트층(220, 230) 및 게이트 캐핑 절연층(260)을 순차적으로 형성한다. 게이트층(220, 230)은 도전 물질을 증착하여 형성될 수 있다. 예를 들어, 도전성을 갖는 도핑된 폴리 실리콘층(doped polysilicon layer:220)을 대략 1000Å 정도로 두께로 증착하고, 그 상에 게이트의 도전성 향상을 위해서 금속 실리사이드(metal silicide layer), 예컨대, 텅스텐 실리사이드층(tungsten silicide layer:230)을 대략 1000Å 정도 두께로 형성한다. 텅스텐 실리사이드층(230) 상에 후속되는 식각 과정 등으로부터 게이트를 보호하기 위한 캐핑 절연층(260)으로 실리콘 질화물층을 대략 2000Å 정도 두께로 증착한다.

<40> 이후에, 사진 공정과 식각 공정을 수행하여 캐핑 절연층(260), 게이트층(220, 230) 등을 순차적으로 패터닝하여 도 3a에 도시된 바와 같이 활성 영역(110)을 가로지르는 게이트 라인(200)의 패턴을 다수 형성한다. 이후에, NMOS 또는 PMOS 등 구현하고자 하는 트랜지스터의 특성과 영역에 따라 사진 공정과 이온 주입 공정을 거쳐 트랜지스터의 소스(source) 및 드레인(drain) 영역을 LDD(Lightly Doped Drain) 구조로 형성한다.

<41> 이후에, 게이트 라인(200)을 덮는 절연층을 증착하고 식각하는 스페이서 형성 과정을 수행하여 게이트 스페이서(270)를 형성한다. 게이트 스페이서(270)는 실리콘 질화물층 등으로 형성될 수 있으며, 게이트 라인(200)의 측벽을 덮어 보호하게 된다.



- <42> 도 4a 및 도 4b는 각각 콘택 패드들(410, 450)을 형성한 상태를 개략적으로 보여주는 평면도 및 단면도이다.
- <43> 도 4a 및 도 4b를 참조하면, 게이트 라인(200)들 사이를 메우는 제1절연층(300)을 형성한다. 이러한 제1절연층(300)은 HDP(High Density Plasma) 산화물, BPSG(BoroPhosphoSilicate Glass) 등과 같이 갭 채움(gap fill) 특성이 우수한 실리콘 산화물로 증착될 수 있다. 연후에, 제1절연층(300)의 상측 표면을 평탄화하는 과정을 수행할 수 있다. 이러한 평탄화 과정은 화학 기계적 연마(CMP:Chemical Mechanical Polishing) 등으로 수행될 수 있다.
- <44> 이후에, 제1절연층(300)에 자기 정렬 콘택(SAC:Self Aligned Contact) 형성 공정을 이용하여 다수의 콘택 패드들(410, 450)들을 형성한다. 이러한 콘택 패드들(410, 450)은 크게 스토리지 전극에의 전기적 연결을 위해서 준비되는 제1콘택 패드(410), 즉, 메모리 콘택 패드와 비트 라인에의 전기적 연결을 위해서 준비되는 제2콘택 패드(450), 즉, 다이렉트 콘택 패드로 대별될 수 있다. 실질적으로 이러한 제1콘택 패드(410)와 제2콘택 패드(450)는 게이트 라인(200)을 사이에 두고 상호 간에 사선 방향으로 위치하게 된다.
- <45> 이러한 콘택 패드들(410, 450)을 형성하는 과정을 예를 들면, 먼저, 사진 공정과 선택적인 식각 과정을 이용하여 비트 라인 콘택과 스토리지 전극 콘택이 형성될 부분의 제1절연층(300) 부분을 선택적으로 제거하여 활성 영역(110)이 노출되도록 콘택 패드들을 위한 제1콘택홀들을 형성한다. 이후에, 노출되는 활성 영역(110) 부분에 이온 주입 공정을 수행하여, 활성 영역(110)과 이후에 형성될 콘택 패드들(410, 450) 간의 접촉 저항이 낮아지도록 유도한다. 이후에, N 형 불순물이 함유된 도핑된 폴리 실리콘(doped poly silicon)과 같은 도전물을 대략 2500Å 정도 두께로 증착하여 상기 제1콘택홀들을

메운다. 이후에, 도전층을 건식 식각, 예컨대, 에치 백하거나 CMP하여 제1절연층(300)의 상측 표면을 노출시킴으로써, 제1콘택홀들에 채워진 콘택 패드들(410, 450)을 얻게 된다.

<46> 한편, 이와 같이 콘택홀들을 형성하는 과정은 다수의 콘택홀들이 형성될 위치를 노출하는 밴드(band) 형태의 오프닝(opening:도시되지 않음)을 SAC(Self Aligned Contact) 방식으로 형성한 후, 오프닝을 채우는 도전층을 형성하고, 상기 도전층을 평탄화함으로써 상기한 콘택 패드(410, 450)들을 형성할 수도 있다.

<47> 도 5a 및 도 5b는 각각 비트 라인(600)이 형성된 상태를 개략적으로 보여주는 평면도 및 단면도이다.

<48> 도 5a 및 도 5b를 참조하면, 콘택 패드들(410, 450)을 덮는 제2절연층(510)을 제1절연층(300) 상에 형성한다. 이러한 제2절연층(510)은 비트 라인과 매몰 콘택 패드인 제1콘택 패드(410)를 절연시키기 위해서 도입된다. 따라서, 이러한 제2절연층(510)은 실리콘 산화물 등과 같은 절연 물질로 형성될 수 있다.

<49> 다음에, 사진 식각 공정 등을 이용하여, 제2절연층(510)을 관통하여 제2콘택 패드(450), 즉, 다이렉트 콘택 패드의 상측 표면을 선택적으로 노출하는 제2콘택홀(511)을 형성한다. 이러한 제2콘택홀(511)은 제2콘택 패드(450)와 비트 라인(600)을 전기적으로 연결할 제2콘택, 예컨대, 다이렉트 콘택을 위해서 도입된다.

<50> 다음에, 비트 라인 형성 공정을 진행하여 제2콘택 패드(450)에 전기적으로 연결되는 비트 라인(600)을 형성한다. 예를 들어, 장벽 금속층(610) 및 텅스텐층 등과 같은 금속 도전층(650) 등을 증착한 후, 패터닝하여 비트 라인(600)을 형성한다. 이때, 제2콘택

홀(511)을 채우는 제2콘택(605), 예컨대, 다이렉트 콘택이 비트 라인(600)과 제2콘택 패드(450)를 전기적으로 연결시켜준다.

<51> 이러한 비트 라인(600)의 상측에는 비트 라인 캐핑 절연층(660)이 실리콘 질화물층 등으로 구비되고, 비트 라인(600)의 측부에는 비트 라인 스페이서(670)가 실리콘 질화물층 등으로 구비될 수 있다. 이와 같은 캐핑 절연층(660)과 스페이서(670)의 도입은 후속되는 스토리지 전극 콘택체, 예컨대, 매몰 콘택을 형성하는 공정에서 비트 라인(600)이 공정 과정에서 침해되는 것을 방지하기 위해서 예비적으로 이루어진다.

<52> 도 6a 및 도 6b는 비트 라인(600)을 덮는 제3절연층(530) 상에 제1포토리소그래피 패턴(710)을 밴드 형태로 도입하는 단계를 개략적으로 보여주는 평면도 및 단면도이다.

<53> 도 6a 및 도 6b를 참조하면, 비트 라인(600)을 형성한 후, 비트 라인(600)을 덮는 제3절연층(530)을 형성한다. 예를 들어, HDP 산화물, BPSG 등과 같은 갭 채움 능력이 우수한 실리콘 산화물층을 증착하여 제3절연층(530)을 형성한다. 이후에, 필요에 따라 제3절연층(530)의 표면을 평탄화한다. 이러한 평탄화는 CMP 과정을 통해서 수행될 수 있다.

<54> 제3절연층(530)에 제1콘택 패드(410)와 후속해 형성될 스토리지 전극을 전기적으로 연결해줄 매몰 콘택, 즉, 스토리지 전극 콘택체를 위한 오픈링(opening)을 형성하기 위한 사진 식각 공정에 이용될 제1포토리소그래피 패턴(710)을 형성한다. 제1포토리소그래피 패턴(710)은 제3절연층(530) 상에 밴드 형태로 형성되며, 열지어 배치된 다수의 제1콘택 패드(410)들을 덮는 제3절연층(530)을 부분을 길게 노출하도록 형성된다. 이를 위해서, 제1포토리소그래피 패턴(710)은 게이트 라인(200)을 따라 길게 라인 또는 밴드 형태로 형성된다.

- <55> 이와 같이 제1포토레지스트 패턴(710)을 길게 밴드 형태로 형성함으로써, 제1포토레지스트 패턴(710)을 패터닝하기 위해서 도입되는 사진 공정에서 해상도 마진을 보다 넓게 확보할 수 있다. 만일, 제1콘택 패드(410)를 노출하는 콘택홀을 형성하기 위한 사진 공정에서 요구되는 해상도보다 낮은 해상도의 사진 공정으로도 상기한 바와 같은 밴드 형태의 제1포토레지스트 패턴(710)을 형성하는 것이 가능하다. 즉, 제1콘택 패드(410)를 노출하는 콘택홀을 형성하는 사진 공정에서 ArF 사진 공정이 요구된다면, 상기한 바와 같은 제1포토레지스트 패턴(710)을 형성하는 사진 공정으로는 KrF 사진 공정으로도 충분하다. 이는, 사진 공정에서의 공정 마진을 보다 더 확보할 수 있다는 것을 의미한다.
- <56> 이러한 제1포토레지스트 패턴(710)은 제1콘택 패드(410)를 덮는 제3절연층(550) 부분을 제1콘택 패드(410)의 폭 보다 넓은 폭으로 노출하도록 형성될 수 있다. 이에 따라, 제1포토레지스트 패턴(710)을 위한 사진 공정의 해상도 마진 또는 공정 마진은 보다 더 확보될 수 있다. 그럼에도 불구하고, 필요에 따라, 제1콘택 패드(410)의 상측 표면이 노출될 정도로 상대적으로 좁은 폭을 노출하도록 제1포토레지스트 패턴(710)을 형성할 수도 있다. 이와 같이 제1포토레지스트 패턴(710)이 상대적으로 좁은 폭을 노출하도록 형성할 경우에도, 제1포토레지스트 패턴(710)이 밴드 형태로 도입되므로 사진 공정의 공정 마진을 크게 확보할 수 있다. 이는 밴드 형태의 패턴을 형성하는 것이 콘택 형태의 패턴을 형성하는 데 비해서 사진 공정의 해상도 마진이 일반적으로 크기 때문이다.
- <57> 도 7a 및 도 7b 각각은 다수의 제1콘택 패드(410)들을 노출하는 밴드 형태의 오프닝(531)을 형성하는 단계를 개략적으로 보여주는 평면도 및 단면도이다.

- <58> 도 7a 및 도 7b를 참조하면, 제1포토리테지스트 패턴(도 6a의 710)을 식각 마스크 (etch mask)로 이용하여 노출된 제3절연층(530) 부분을 선택적으로 식각하여 밴드 형태의 오프닝(531)을 형성한다. 이러한 식각 과정은 제3절연층(530)이 실리콘 산화물로 형성되었을 경우, 실리콘 산화물에 대한 건식 식각 과정으로 수행될 수 있다. 이러한 식각 과정은 적어도 제1콘택 패드(410)의 상측 표면이 노출되도록 진행된다.
- <59> 이와 같은 식각 과정에 의해서 형성되는 밴드 형태의 오프닝(531)은 게이트 라인 (200)을 따라 길게 형성된다. 따라서, 밴드 형태의 오프닝(531)이 노출하는 영역 내에서 다수의 제1콘택 패드(410)들이 열지어진 상태로 노출되게 된다. 또한, 밴드 형태의 오프닝(531)은 제1콘택 패드(410)들의 옆을 지나는 비트 라인(600)들을 가로지르게 형성된다. 비트 라인(600)들은 도 7b 및 도 5b에 도시된 바와 같이 그 측면 및 상면이 비트 라인 스페이서(670) 및 비트 라인 캐핑 절연층(660)으로 보호되고 있으므로, 이러한 식각 과정에 의해서 침해되어 밴드 형태의 오프닝(531)에 노출되지 않게 된다.
- <60> 이러한 밴드 형태의 오프닝(531)은 제1포토리테지스트 패턴(710)이 노출하는 폭에 따라 그 폭이 정해지게 된다. 따라서, 이러한 밴드 형태의 오프닝(531)은 제1포토리테지스트 패턴(710)이 적어도 제1콘택 패드(410)의 폭 이상의 폭으로 제3절연층(530)을 노출할 경우, 적어도 제1콘택 패드(410)의 폭 이상의 폭으로 형성되게 된다. 이와 같이 밴드 형태의 오프닝(531)이 상대적으로 넓은 폭으로 형성될 수 있으므로, 오정렬 등이 발생하더라도 충분히 제1콘택 패드(410)의 상측 표면을 노출하는 것이 가능하다. 따라서, 이러한 밴드 형태의 오프닝(531)을 형성하는 과정의 도입으로 오버레이 마진 등이 보다 더 확보될 수 있다.

- <61> 이러한 밴드 형태의 오프닝(531)의 형성에 의해서 밴드 형태로 패터닝된 제3절연층(530')이 게이트 라인(200)을 따라 길게 형성되게 된다.
- <62> 한편, 도 7a 및 도 7b에 도시하지는 않았으나, 식각 과정의 요구에 따라, 제1포토 레지스트 패턴(도 6a의 710)의 아래에 하드 마스크(hard mask)를 도입할 수도 있다.
- <63> 도 8a 및 도 8b 각각은 제3절연층(530') 상에 밴드 형태의 오프닝(531)을 채우는 도전층(800)을 형성하는 단계를 개략적으로 보여주는 평면도 및 단면도이다.
- <64> 도 8a 및 도 8b를 참조하면, 밴드 형태의 오프닝(531)을 채우는 도전층(800), 예를 들어, 도전성 폴리 실리콘층을 패터닝된 제3절연층(530') 상에 형성한다. 도전성 폴리 실리콘층은 밴드 형태의 오프닝(531)을 충분히 메우는 두께로 화학 기상 증착 (CVD:Chemical Vapor Deposition) 등으로 형성될 수 있다. 이러한 도전성 폴리 실리콘층 등과 같은 도전층(800)은 제3절연층(530') 상을 덮도록 연장되는 것이 바람직하다. 이러한 도전층(800)은 밴드 형태의 오프닝(531)에 의해서 노출되는 비트 라인(600) 상, 실질적으로, 비트 라인(600)을 덮는 비트 라인 캐핑 절연층(660) 및 비트 라인 스페이서 (670)도 덮게 된다.
- <65> 도 9a 및 도 9b 각각은 도전층(800)을 개개의 스토리지 전극 콘택체(810)들로 분리 하는 단계를 개략적으로 보여주는 평면도 및 단면도이다.
- <66> 도 9a 및 도 9b를 참조하면, 도전층(800)을 사진 식각 공정을 이용하여 패터닝하여 개개의 스토리지 전극 콘택체(810)들, 즉, 매몰 콘택들로 분리한다. 도전층(800) 상에 제2포토레지스트 패턴(750)을 도입한 후, 제2포토레지스트 패턴(750)을 식각 마스크로 이용하여 노출되는 도전층(800) 부분을 선택적으로 식각한다. 이러한 식각은 건식 식각

과정으로 수행될 수 있다. 이러한 식각은 도전층(800)을 개개의 스토리지 전극 콘택체(810)들로 분리하기 위한 것이므로, 상기한 식각은 식각되는 도전층(800) 부분이 완전히 제거될 때까지 진행된다.

<67> 실질적으로, 스토리지 전극 콘택체(810)가 분리되는 부분은 비트 라인(600)이 종주하는 부분과 겹치게 되므로, 이러한 식각은 실질적으로 비트 라인(600)의 상측에 도입된 비트 라인 캐핑 절연층(660)의 상측 표면을 노출하도록 진행되면 된다. 도 9a에 제시된 바와 같이 비트 라인 캐핑 절연층(660)이 노출될 때까지 식각 과정이 진행되면, 실질적으로 게이트 라인(200)이 종주하는 방향으로의 스토리지 전극 콘택체(810)들로의 분리는 완성된다. 비트 라인(600)이 종주하는 방향으로의 스토리지 전극 콘택체(810)들의 분리는 하부의 제3절연층(530')의 상측 표면이 노출되면 완성된다. 제3절연층(530')의 상측 표면이 실질적으로 비트 라인 캐핑 절연층(660)의 상측 표면 보다 높은 위치에 있으므로, 비트 라인 캐핑 절연층(660)의 상측 표면이 충분히 노출될 때까지 상기한 분리를 위한 식각 과정이 수행되면 상기한 분리 과정은 완성되게 된다. 즉, 상기한 분리를 위한 식각 과정은 비트 라인 캐핑 절연층(660)을 바람직하게 이루는 실리콘 질화물층을 식각 종료로 이용하여 수행될 수 있다.

<68> 이러한 분리 과정에 의해서 형성되는 스토리지 전극 콘택체(810)는 후속에서 형성될 스토리지 전극과 하부의 제1콘택 패드(410)를 전기적으로 충분히 연결시켜 주기 위해서 도입된다. 그런데, 본 발명의 실시예에서 스토리지 전극은 도 1에 제시된 바와 같이 비트 라인 및 워드 라인이 종주하는 방향들을 따라 상호 간에 직교되게 정렬 배치되지 않고, 새로운 배열로 배치되게 된다.

<69> 예를 들어, 스토리지 전극은 비트 라인(도 9a의 600)이 종주하는 방향으로 볼 때 또는 비트 라인(600)에 대해서 지그재그(zig zag) 형태로 상호간에 어긋나게 배열된다. 즉, 비트 라인(600)에 대해서 사선 방향으로 이웃하는 스토리지 전극이 배치되도록 스토리지 전극들이 배열된다. 이러한 스토리지 전극의 배치는 워드 라인인 게이트 라인(200)을 기준으로 할 때도 마찬가지로 게이트 라인(200)이 종주하는 방향으로 볼 때 지그재그 형태로 상호간에 어긋나게 배치된다. 즉, 게이트 라인(200)에 대해서 사선 방향으로 이웃하는 스토리지 전극이 배치되도록 스토리지 전극들이 배열된다. 이러한 스토리지 전극들의 배치에 대해서는 이후에 도면들을 참조하여 보다 구체적으로 설명한다.

<70> 그런데, 이러한 바와 같이 스토리지 전극들을 비트 라인(600) 또는 게이트 라인(200)에 대해서 사선 방향으로 배치될 경우, 스토리지 전극의 중심과 제1콘택 패드(410)의 중심과 일치하지 않고 어긋나게 된다. 따라서, 스토리지 전극 콘택체(810)가 스토리지 전극과 제1콘택 패드(410)를 충분히 전기적으로 연결하기 위해서, 스토리지 전극 콘택체(810)는 비트 라인(600)이 종주하는 방향으로 길게 확장된 상측 표면을 가지는 것이 바람직하다.

<71> 스토리지 전극 콘택체(810)의 오프닝(351)을 채우는 몸체부(811)는 오프닝(351)이 앞서 설명한 바와 같이 비트 라인(600)이 종주하는 방향으로 확장된 상태로 도입되므로, 비트 라인(600)이 종주하는 방향으로 어느 정도 확장된 형상을 가질 수 있다. 그럼에도 불구하고, 스토리지 전극 콘택체(810)와 스토리지 전극 간의 접촉 면적을 보다 확보하기 위해서 스토리지 전극 콘택체(810)는 몸체부(811)의 상측에 확장부(815)를 가지는 것이 더욱 바람직하다. 이러한 확장부(815)는 제3절연층(530')의 상측 표면 상으로 연장된 스토리지 전극 콘택체(810)의 일부로 설정될 수 있다.



<72> 이와 같이 스토리지 전극 콘택체(810)가 보다 넓은 상측 표면을 확보하기 위해서 확장부(815)를 가지도록 식각 마스크로 도입되는 제2포토레지스트 패턴(750)을 도입하는 것이 바람직하다. 예를 들어, 제2포토레지스트 패턴(750)이 오프닝(351)의 비트 라인(600)이 종주하는 방향으로의 폭에 비해 넓은 폭의 도전층(800) 부분을 차폐하도록 형성되는 것이 바람직하다. 또는, 제2포토레지스트 패턴(750)이 확장부(815)가 비트 라인(600)이 종주하는 방향으로 연장되도록 허용하게 형성되는 것이 바람직하다.

<73> 이와 같이 패터닝되는 스토리지 전극 콘택체(810)의 확장부(815)는 도 9b에 제시된 바와 같이 제3절연층(530')의 상측으로 연장된 형상을 가지게 되며, 도 9a에 제시된 바와 같이 비트 라인(600)이 종주하는 방향으로 연장되게 된다. 이때, 이러한 확장부(815)는 비트 라인(600)을 사이에 두는 이웃하는 확장부(815)와 서로 반대되는 방향으로 연장되는 것이 바람직하다. 이는 확장부(815) 상에 설치될 스토리지 전극의 위치 배열이 앞서 설명한 바와 같이 비트 라인(600)에 대해서 상호간에 사선인 위치에 이웃하는 스토리지 전극들을 배치시키기 때문이다. 이와 같이 비트 라인(600)을 사이에 두는 이웃하는 확장부(815)들이 서로 반대 방향으로 확장되는 것은, 최대한 스토리지 전극과 정렬을 맞추어 스토리지 전극과 스토리지 전극 콘택체(810) 간의 접촉 저항을 줄이는 데 효과적이기 때문이다.

<74> 한편, 이러한 도전층(800)을 개개의 스토리지 전극 콘택체(810)들로 분리하는 사전 식각 과정에서 상기한 도전층(800)의 일부는 저항체(도시되지 않음)로 패터닝될 수도 있다. 저항체는 반도체 소자, 예컨대, 디램 소자에서 주변 회로 영역 부분에 도입되게 된다. 따라서, 저항체로 이용되는 도전층(800) 부분은 도시되지는 않았으나 반도체 소자의 주변 회로 영역에 연장된 도전층(800) 부분이다. 이러한 저항체를 상기한 도전층

(800)을 이용하여 상기한 사진 식각 과정에 의해서 형성함으로써, 전체 반도체 소자의 공정 단계를 보다 간략화하는 데 기여할 수 있다.

<75> 도 10a 내지 도 10c는 스토리지 전극(900)을 형성하는 단계를 개략적으로 보여주는 평면도 및 단면도들이다.

<76> 도 10a는 스토리지 전극 콘택체(810) 상에 스토리지 전극(900)이 형성된 평면 상태를 개략적으로 보여주는 평면도이고, 도 10b는 스토리지 전극(900)을 실린더 형태로 형성하기 위한 몰드층(950)을 도입하는 단계를 개략적으로 보여주는 단면도이고, 도 10c는 스토리지 전극(900)을 형성하는 단계를 개략적으로 보여주는 단면도이다.

<77> 도 10a 및 도 10b, 도 10c를 참조하면, 스토리지 전극 콘택체(810)에 전기적으로 연결되는 스토리지 전극(900)을 실린더 형태로 형성한다. 이때, 스토리지 전극(900)은 원형 또는 타원형, 직사각형 등의 단면 형상으로 형성될 수 있다. 스토리지 전극(900)은 도 10a의 평면도에서 제시된 바와 같이 비트 라인(600)이 종주하는 방향 또는 게이트 라인(200)이 종주하는 방향에 대해서 사선 방향으로 최근하게 이웃하는 스토리지 전극(900)들과 배열되도록 평면 상에서 배치된다. 즉, 비트 라인(600) 또는 비트 라인(600)이 종주하는 방향, 또는 게이트 라인(200)이 종주하는 방향에 대해서 사선 방향으로 최근하게 이웃하는 스토리지 전극(900)들이 배열된다. 이에 따라, 스토리지 전극(900)들은 비트 라인(600)을 기준으로 볼 때, 비트 라인(600)을 따라 지그재그의 위치에 각각 배치되게 되고, 게이트 라인(200)이 종주하는 방향으로도 지그재그의 위치에 배치되게 된다.

<78> 이와 같이 스토리지 전극(900)들이 배열됨에 따라, 스토리지 전극(900)들 간에 이격되는 거리를 보다 더 확보할 수 있다. 따라서, OCS 형태의 커패시터를 구성할 때 극복

되어야할 문제점으로 인식되고 있는 스토리지 전극의 쓰러짐 및 이러한 쓰러짐에 의해서 스토리지 전극들이 서로 맞닿게 되어 투 비트 불량이 발생하는 것을 효과적으로 방지할 수 있다.

<79> 이러한 스토리지 전극(900)들은 실질적으로 스토리지 전극 콘택체(810)들 상에 배치된다. 앞서 설명한 바와 같이 스토리지 전극 콘택체(810)들은 상측에 비트 라인(600)이 종주하는 방향으로 확장된 확장부(815)를 가지고 형성되었으므로, 그 상에 형성되는 스토리지 전극(900)과 매우 높은 수준의 접촉 면적을 구현할 수 있다. 비록, 스토리지 전극(900)들의 중심이 제1콘택 패드(410)의 중심에 대해 크게 어긋나는 위치에 스토리지 전극(900)들이 배치되지만, 본 발명의 실시예에서 제시되는 스토리지 전극 콘택체(810)는 비트 라인(600)이 종주하는 방향으로 확장된 상측 표면을 구현할 수 있으므로 스토리지 전극(900)과 충분한 접촉 면적을 구현할 수 있다.

<80> 스토리지 전극(900)을 실린더 형태와 같은 3차원 형상으로 구현하기 위해서 도 10b에 제시된 바와 같은 몰드(mold:950)를 도입할 수 있다. 보다 상세하게 설명하면, 스토리지 전극 콘택체(810) 및 제3절연층(530') 상에 몰드층을 대략 1500nm 정도의 두께로 형성한다.

<81> 이때, 몰드층의 아래에는 별도의 제4절연층(930)을 도입할 수 있다. 이러한 제4절연층(930)은 전극 지지층으로 역할하기 위한 실리콘 산화물층 및 몰드층을 후속해 제거할 때 식각 종료층으로 이용될 실리콘 질화물층 등을 포함하여 구성될 수 있다. 식각 종료층으로 바람직하게 이용될 실리콘 질화물층은 대략 500Å 정도의 두께로 형성될 수 있다. 전극 지지층은 필요에 따라 도입되는 층으로 생략될 수도

있다. 이러한 전극 지지층은 적어도 스토리지 전극 콘택체(810)를 충분히 덮을 수 있는 두께로 형성되는 것이 바람직하다. 또한, 전극 지지층을 형성한 후 그 표면을 평탄화하기 위한 공정이 수행될 수도 있다.

<82> 제4절연층(930) 상에 형성되는 몰드층은 스토리지 전극(900)을 형성한 후 제거될 층이므로, 제거에 용이한 절연 물질로 형성되는 것이 바람직하다. 예를 들어, 몰드층은 PETEOS으로 형성될 수 있다.

<83> 몰드층을 증착한 후, 사진 식각 공정을 이용하여 스토리지 전극(900)이 형성될 부분을 선택적으로 제거하는 패터닝 과정을 수행한다. 이에 따라, 몰드층은 스토리지 전극 콘택체(810)의 상측 표면을 노출하도록 패터닝되어 몰드(950)가 형성된다. 이러한 몰드(950)를 형성하는 식각 과정은 상기한 식각 종료층, 즉, 실리콘 질화물층 상에서 식각 종료될 수 있다.

<84> 이후에, 몰드(950) 상에 노출되는 스토리지 전극 콘택체(810)의 상측 표면을 덮도록 연장되는 도전층을 형성한다. 이러한 도전층은 도전성 폴리 실리콘을 대략  $400\text{\AA}$  내지  $500\text{\AA}$  정도 두께로 화학 기상 증착하여 형성될 수 있다. 커패시터를 MIM(Metal-Insulator-Metal) 구조의 커패시터로 구성할 경우, 이러한 도전층은 MIM 커패시터의 전극 물질로 이용되는 도전 물질로 구성될 수 있다.

<85> 도전층 상에 희생 절연층(도시되지 않음)을 대략  $3000\text{\AA}$  내지  $6000\text{\AA}$  정도 두께로 증착한 후, 건식 식각 또는 CMP(Chemical Mechanical Polishing) 등으로 평탄화하여 도 10c에 도시한 바와 같이 개개의 스토리지 전극(900)으로 분리한다. 이러한 평탄화 과정은 확실한 분리를 위해서 도전층으로 몰드(950)의 상측 표면이 노

출될 때까지 수행된다. 이를 위해서 이러한 평탄화 과정은 대략 1000Å 내지 2000Å 정도 식각하여 제거하게 된다. 이후에, 희생 절연층 및 몰드(950)를 폴리 실리콘과 실리콘 산화물과의 식각 선택비가 높은 습식 식각 과정을 이용하여 선택적으로 제거한다. 이에 따라, 도 10c에 제시된 바와 같은 실린더 형태의 스토리지 전극(900)이 형성된다.

<86> 이상, 본 발명을 구체적인 실시예를 통하여 상세히 설명하였으나, 본 발명은 이에 한정되지 않고, 본 발명의 기술적 사상 내에서 당 분야의 통상의 지식을 가진 자에 의해 그 변형이나 개량이 가능함이 명백하다.

#### 【발명의 효과】

<87> 상술한 본 발명에 따르면, 콘택홀을 이용하여 스토리지 전극 콘택체를 형성할 때, 스토리지 전극 콘택체와 스토리지 전극 간에 발생할 수 있는 오정렬을 최소화시킬 수 있다. 또한, 밴드 형태의 오프닝을 형성하고 이러한 오프닝을 채우는 도전층을 사진 식각 공정으로 개개의 스토리지 전극 콘택체로 분리함으로써, 스토리지 전극 콘택체의 몸체부와 몸체부 상측에 일체로 형상지워지는 확장부가 자기 정렬 방식으로 형상지워질 수 있다.

<88> 이에 따라, 층들 간의 오정렬의 발생을 근원적으로 방지할 수 있고 오버레이 마진(overlay margin)을 감소시킬 수 있다. 또한, 스토리지 전극 콘택체의 확장부와 몸체부를 일체형으로 형성함으로써, 스토리지 전극의 확장을 위해서 별도의 추가적인 공정, 예컨대, 버퍼층(buffer layer)을 도입하고 평탄화 혹은 식각하는 과정들이 불필요하게 된다.

<89> 또한, 스토리지 전극 콘택체를 콘택홀을 이용하여 형성하는 경우, 콘택홀을 형성할 때 피치(pitch)와 해상도(resolution) 문제 때문에 이 공정을 ArF 사진 공정을 이용하여 하나, 본 발명에서는 밴드 형태의 오프닝을 형성하는 과정을 도입함으로써 피치를 완화(release)시키는 효과를 구현할 수 있다. 따라서, 밴드 형태의 오프닝을 위한 사진 공정을 보다 완화된 사진 공정, 예컨대, KrF 사진 공정으로도 수행할 수 있다.

<90> 본 발명에 따르면, 비트 라인 방향으로 확장된 상측 표면을 가지는 스토리지 전극 콘택체를 구현할 수 있어, 하부의 매몰 콘택 패드의 중심과 그 중심이 일치되지 않는 배열로 스토리지 전극들을 평면 상에 배치할 수 있다. 즉, 스토리지 전극들을 비트 라인 또는 게이트 라인이 종주하는 방향에 대해서 사선 방향으로 최근하게 이웃하는 스토리지 전극들이 위치하도록, 스토리지 전극들의 배치를 새로이 도입할 수 있다. 이와 같은 스토리지 전극들의 배치에 의해서 스토리지 전극들 간의 이격 간격을 보다 넓게 확보할 수 있어, 실린더 형태의 스토리지 전극들의 주요한 문제점으로 인식되고 있는 스토리지 전극들 간의 브리지(bridge) 발생을 효과적으로 방지할 수 있다.

## 【특허청구범위】

## 【청구항 1】

반도체 기판 상에 게이트 라인들을 형성하는 단계;

상기 게이트 라인들을 덮는 제1절연층을 형성하는 단계;

상기 제1절연층을 관통하여 상기 게이트 라인들 사이의 상기 반도체 기판 상에 전기적으로 연결되는 제1콘택 패드들 및 제2콘택 패드들을 형성하는 단계;

상기 제1콘택 패드들 및 상기 제2콘택 패드들을 덮는 제2절연층을 형성하는 단계;

상기 제2절연층 상에 상기 게이트 라인들 상을 가로지르고 상기 제2절연층을 관통하여 상기 제2콘택 패드들에 각각 전기적으로 연결되는 비트 라인들을 형성하는 단계;

상기 비트 라인들을 덮는 제3절연층을 형성하는 단계;

상기 제3절연층을 선택적으로 식각하여 상기 비트 라인들을 가로지르고 적어도 상기 제1콘택 패드들을 노출하는 밴드(band) 형태의 오프닝(opening)을 형성하는 단계;

상기 제3절연층 상에 상기 오프닝을 채우는 도전층을 형성하는 단계;

상기 도전층을 패터닝하여 상기 비트 라인 방향으로 상기 제3절연층 상으로 확장된 확장부와 상기 제1콘택 패드에 전기적으로 연결되는 몸체부를 일체로 포함하는 개개의 스토리지 전극 콘택체들로 분리하는 단계; 및

상기 개개의 스토리지 전극 콘택체들 상에 스토리지 전극들을 각각 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 소자 제조 방법.

## 【청구항 2】

제1항에 있어서,

상기 제1콘택 패드들을 상기 게이트 라인들 사이에 상기 게이트 라인이 종주하는 방향으로 배열되도록 형성되고,

상기 제2콘택 패드들은 상기 게이트 라인을 사이에 두고 상기 제1콘택 패드들과 이격되어 배치되도록 형성되는 것을 특징으로 하는 반도체 소자 제조 방법.

**【청구항 3】**

제1항에 있어서,

상기 밴드 형태의 오프닝은 상기 게이트 라인이 종주하는 방향으로 길게 연장되도록 형성되는 것을 특징으로 하는 반도체 소자 제조 방법.

**【청구항 4】**

제1항에 있어서,

상기 밴드 형태의 오프닝은 상기 제1절연층의 상기 게이트 라인들 사이를 덮는 부분을 노출하도록 형성되는 것을 특징으로 하는 반도체 소자 제조 방법.

**【청구항 5】**

제1항에 있어서,

상기 밴드 형태의 오프닝은 적어도 상기 제1콘택 패드의 폭 보다 넓은 폭을 가지도록 형성되는 것을 특징으로 하는 반도체 소자 제조 방법.

**【청구항 6】**

제5항에 있어서,



상기 밴드 형태의 오프닝은 상기 제2절연층이 상기 제2콘택 패드를 사이에 두는 두 게이트 라인들의 일부를 덮은 상태를 유지하도록 허용하는 폭으로 형성되는 것을 특징으로 하는 반도체 소자 제조 방법.

#### 【청구항 7】

제1항에 있어서, 상기 밴드 형태의 오프닝을 형성하는 단계는

상기 제3절연층 상에 상기 제3절연층의 상기 제1콘택 패드들 상에 중첩되는 덮는 부분을 길게 노출하는 밴드 형태의 제1포토리소그래피 패턴을 형성하는 단계; 및

상기 제1포토리소그래피 패턴을 식각 마스크로 상기 노출되는 제2절연층 부분을 선택적으로 식각하는 단계를 포함하는 것을 특징으로 하는 반도체 소자 제조 방법.

#### 【청구항 8】

제1항에 있어서,

상기 비트 라인이 상기 밴드 형태의 오프닝을 형성하는 식각에 의해서 침해되는 것을 방지하기 위해서

상기 비트 라인의 상측을 덮는 캐핑 절연층을 형성하는 단계; 및

상기 비트 라인의 측벽을 덮는 스페이서를 형성하는 단계를 더 포함하는 것을 특징으로 하는 반도체 소자 제조 방법.

#### 【청구항 9】

제8항에 있어서, 상기 도전층을 패터닝하는 단계는

상기 캐핑 절연층의 상측 표면을 식각 종료점으로 이용하여 수행되는 것을 특징으로 하는 반도체 소자 제조 방법.

**【청구항 10】**

제1항에 있어서,

상기 도전층은 도전성 폴리 실리콘층을 포함하여 형성되는 것을 특징으로 하는 반도체 소자 제조 방법.

**【청구항 11】**

제1항에 있어서, 상기 도전층을 패터닝하는 단계는

상기 도전층 상에 상기 도전층의 상기 비트 라인 상에 중첩되는 부분 및 상기 제2 콘택 패드들이 위치하는 상기 게이트 라인들 사이에 중첩되는 부분을 일부 노출하는 제2 포토레지스트 패턴을 형성하는 단계; 및

상기 제2포토레지스트 패턴을 식각 마스크로 노출되는 상기 도전층 부분을 식각하는 단계를 포함하는 것을 특징으로 하는 반도체 소자 제조 방법.

**【청구항 12】**

제1항에 있어서,

상기 스토리지 전극 콘택체의 확장부는 평면 상에서 볼 때 상기 비트 라인을 사이에 두고 이격되는 이웃하는 스토리지 전극 콘택체의 확장부와 반대 방향으로 확장되도록 형성되는 것을 특징으로 하는 반도체 소자 제조 방법.

**【청구항 13】**

제1항에 있어서,

상기 스토리지 전극 콘택체의 확장부는 적어도 상기 비트 라인이 종주하는 방향으로의 폭이 상기 몸체부에 비해 넓도록 형성되는 것을 특징으로 하는 반도체 소자 제조 방법.

【청구항 14】

제1항에 있어서,

상기 스토리지 전극 콘택체의 확장부는 적어도 상기 비트 라인이 종주하는 방향으로의 폭이 상기 게이트 라인이 종주하는 방향으로의 폭에 비해 상대적으로 길게 확장되도록 형성되는 것을 특징으로 하는 반도체 소자 제조 방법.

【청구항 15】

제1항에 있어서,

상기 스토리지 전극들은 최근하게 이웃하는 스토리지 전극이 상기 비트 라인을 사이에 두고 상기 비트 라인이 종주하는 방향에 대해서 사선 방향에 위치하게 배열되도록 형성되는 것을 특징으로 하는 반도체 소자 제조 방법.

【청구항 16】

제1항에 있어서,

상기 스토리지 전극들은 상기 비트 라인 또는 상기 게이트 라인이 종주하는 방향에 대해서 사선 방향으로 이웃하는 스토리지 전극이 위치하게 배열되도록 형성되는 것을 특징으로 하는 반도체 소자 제조 방법.

【청구항 17】

제1항에 있어서,

상기 스토리지 전극들은 실린더 형태의 3차원 형상으로 형성되는 것을 특징으로 하는 반도체 소자 제조 방법.

【청구항 18】

제1항에 있어서,

상기 스토리지 전극들은 원형, 타원형 또는 직사각형의 면적을 차지하도록 형성되는 것을 특징으로 하는 반도체 소자 제조 방법.

【청구항 19】

제1항에 있어서, 상기 스토리지 전극을 형성하는 단계는

상기 스토리지 전극 콘택체를 덮는 전극 지지층을 형성하는 단계;

상기 전극 지지층 상에 몰드층을 형성하는 단계;

상기 몰드층을 패터닝하여 상기 스토리지 전극에 3차원 형상을 부여할 몰드를 형성하는 단계;

상기 몰드 상에 도전층을 형성하는 단계;

상기 도전층을 패터닝하여 상기 개개의 스토리지 전극들로 분리하는 단계; 및

상기 몰드를 선택적으로 제거하는 단계를 포함하는 것을 특징으로 하는 반도체 소자 제조 방법.

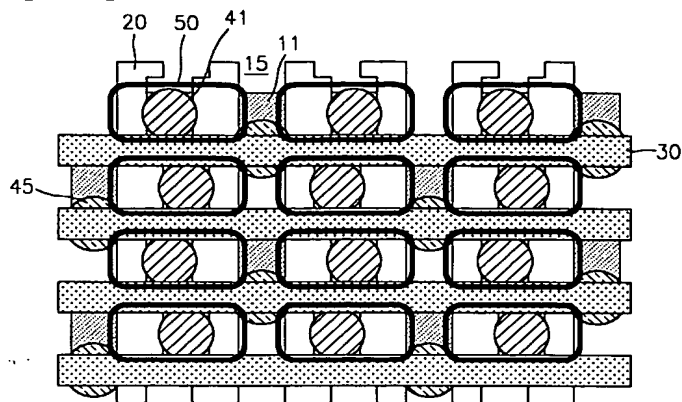
【청구항 20】

제19항에 있어서,

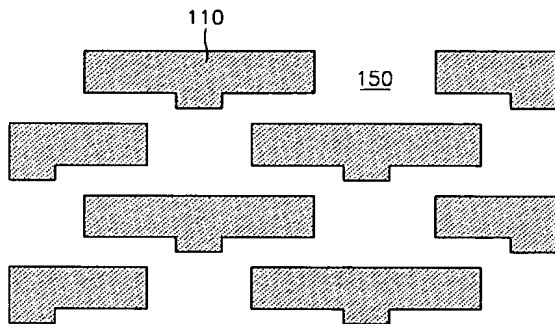
상기 전극 지지층은 상기 몰드를 제거하는 단계에서 식각 종료점으로 이용될 식각 종료층을 더 포함하는 것을 특징으로 하는 반도체 소자 제조 방법.

【도면】

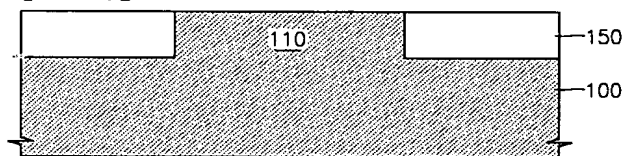
【도 1】



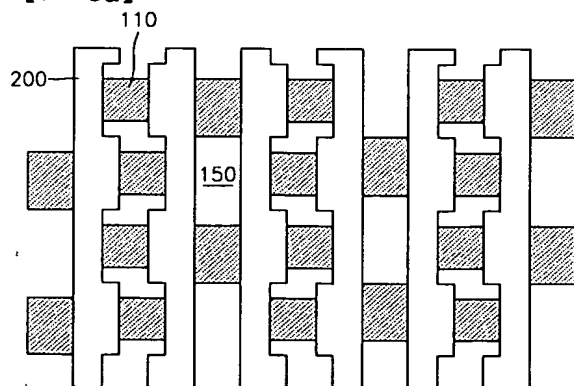
【도 2a】



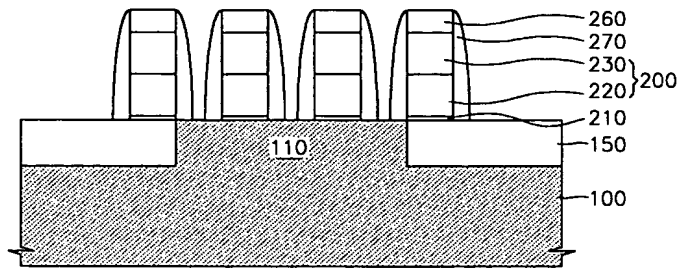
【도 2b】



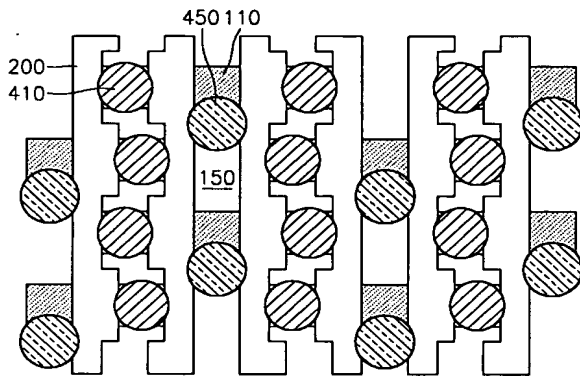
【도 3a】



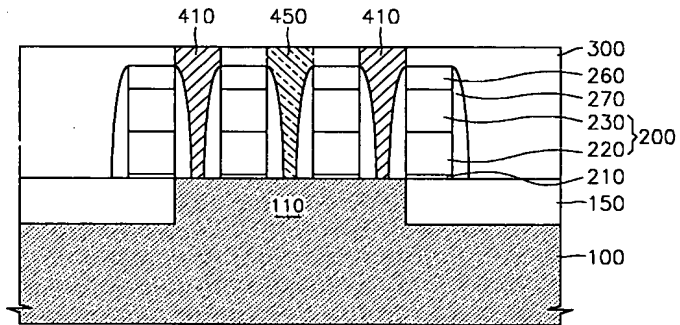
【도 3b】



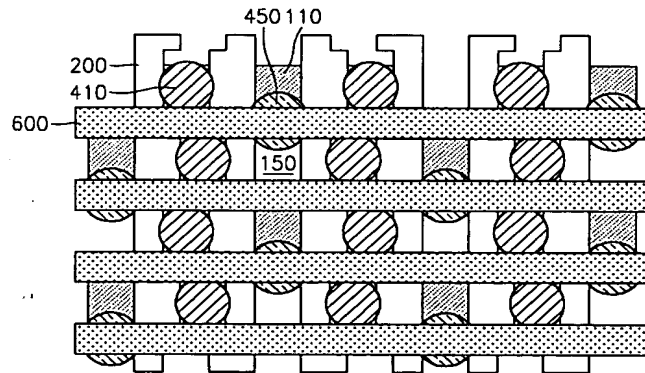
【도 4a】



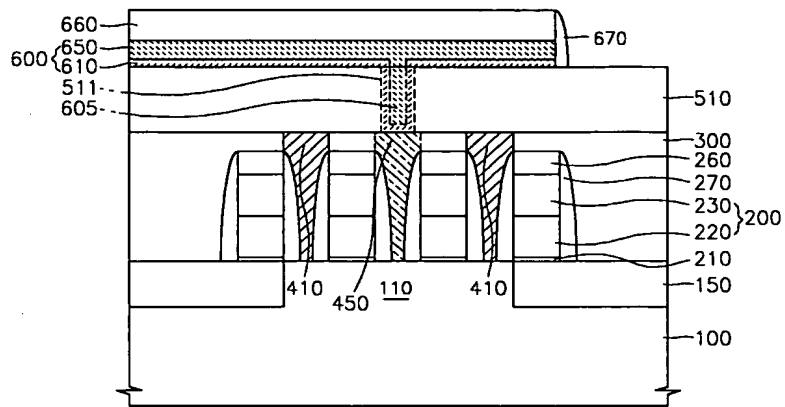
【도 4b】



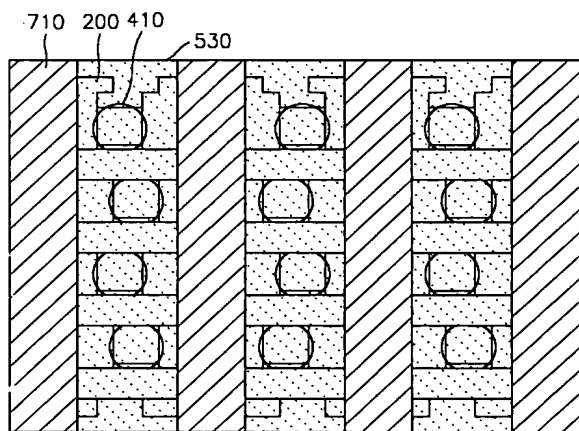
【도 5a】



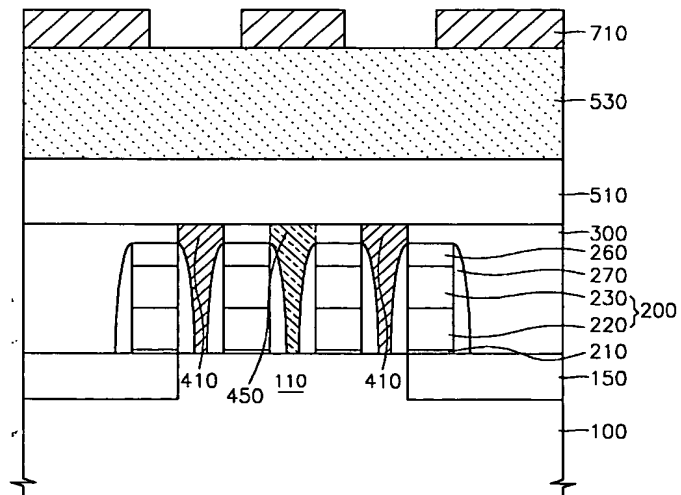
【도 5b】



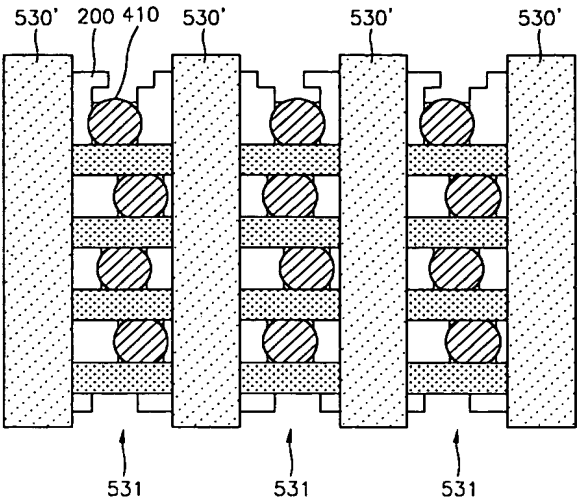
【도 6a】



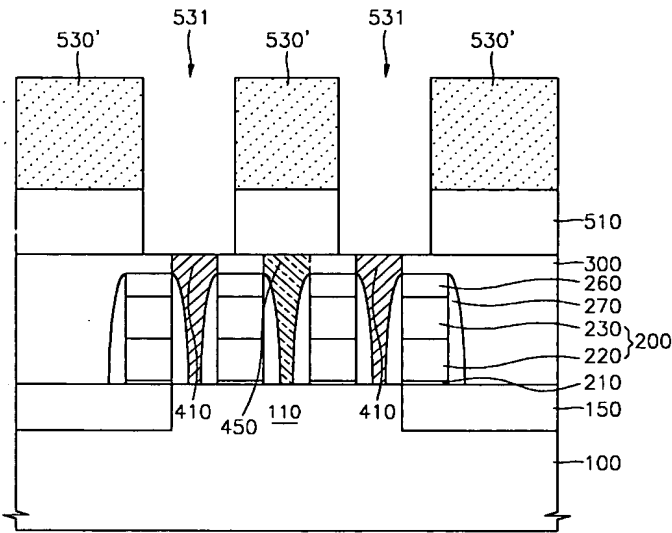
【도 6b】



【도 7a】

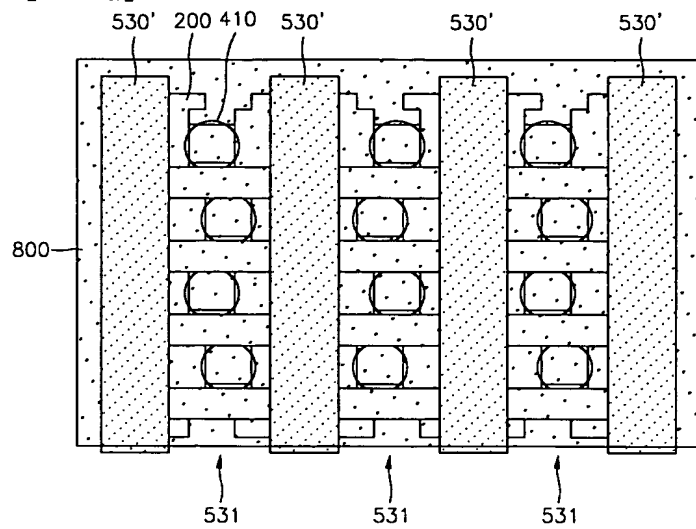


【도 7b】

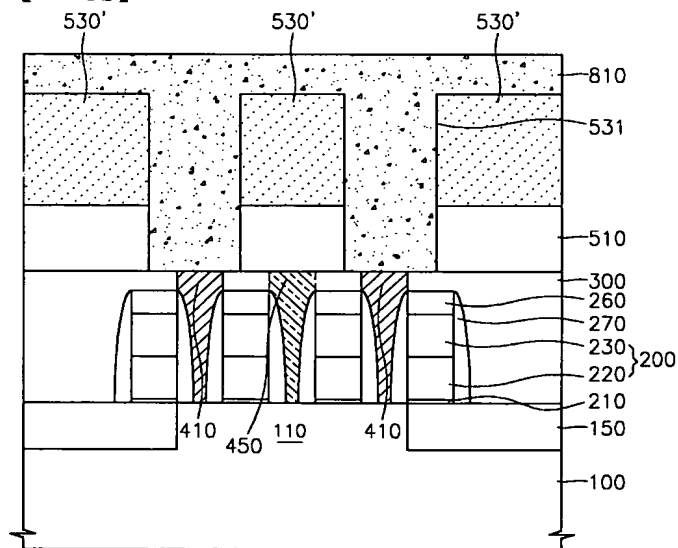




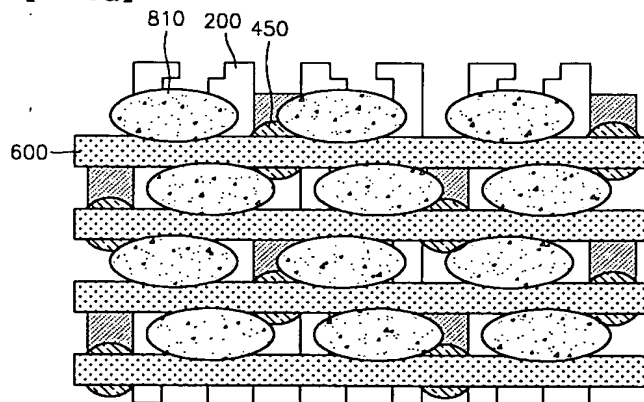
【도 8a】



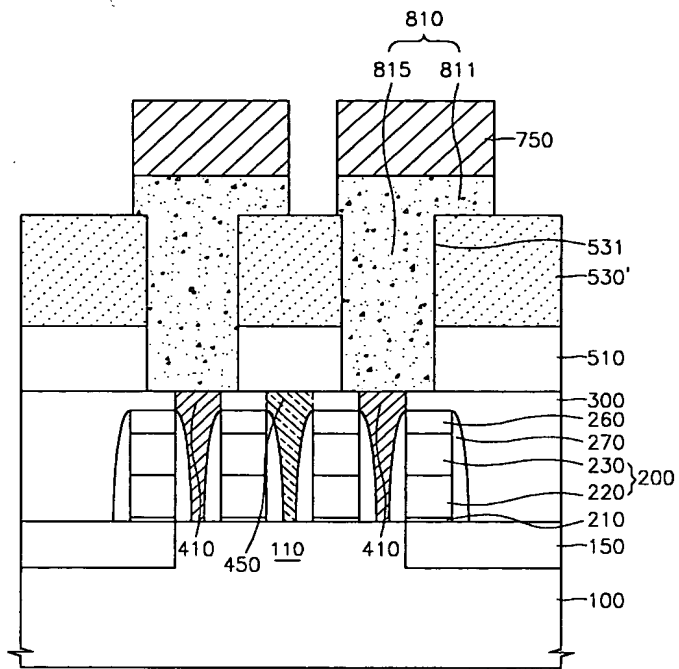
【도 8b】



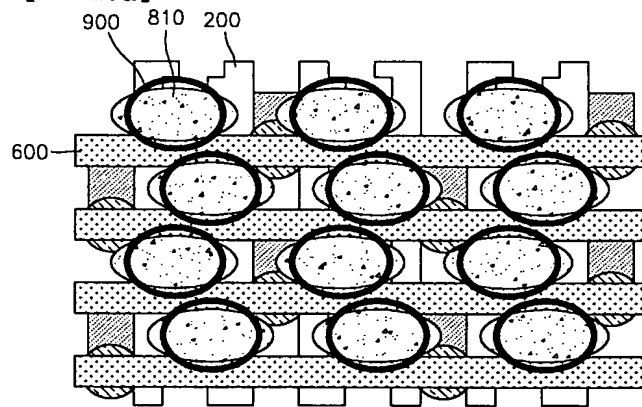
【도 9a】



【도 9b】



【도 10a】





This cross-sectional view shows a semiconductor device with a substrate 100. A base layer 150 is formed on the substrate. Above the base layer is a stack of layers 210, 220, 230, 270, and 260, collectively labeled as 200. On top of this stack are several vertical structures 410 and 450. A layer 300 is positioned above the stack 200. A layer 510 is formed on top of layer 300. Above layer 510 is a layer 530' containing a patterned layer 531. A layer 605 is formed on top of layer 510. Above layer 605 is a layer 610, which is part of a stack 600 that also includes layers 650 and 660. A layer 810 is formed on top of layer 610. A layer 930 is formed on top of layer 810. A layer 900 is formed on top of layer 930. A layer 670 is formed on top of layer 530'.